

**МИНИСТЕРСТВО ТРАНСПОРТА РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ АГЕНТСТВО ЖЕЛЕЗНОДОРОЖНОГО
ТРАНСПОРТА**

Филиал федерального государственного бюджетного образовательного
учреждения высшего образования
«Самарский государственный университет путей сообщения» в г. Саратове
филиал СамГУПС в г.Саратове

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ВЫПОЛНЕНИЮ
ЛАБОРАТОРНЫХ И ПРАКТИЧЕСКИХ РАБОТ ПО УЧЕБНОЙ
ДИСЦИПЛИНЕ**

ПМ.01 Монтаж, ввод в действие и эксплуатация устройств транспортного
радиоэлектронного оборудования

МДК.01.01. Теоретические основы монтажа, ввода в действие и
эксплуатации устройств транспортного радиоэлектронного оборудования

Тема 1.2 Цифровая схемотехника

для студентов специальности

11.02.06 Техническая эксплуатация транспортного радиоэлектронного
оборудования (по видам транспорта)

Саратов 2023

РАССМОТРЕНО

на заседании методического совета

Протокол № 1 от «21» 09 2023 г.

СОГЛАСОВАНО

Протокол № 1 от « 31» 08 2023г.

Председатель ЦМК 11.02.06 Техническая эксплуатация транспортного радиоэлектронного оборудования (по видам транспорта)

_____/Ю.А. Солдатенко/

УТВЕРЖДАЮ

Заместитель директора по учебной работе

_____/С.А. Крижановский/

Автор (составитель):

Солдатенко Ю.А – преподаватель первой квалификационной категории
филиала СамГУПС в г. Саратове

Лабораторное занятие №1

Тема: Исследование типовых логических элементов И,ИЛИ,НЕ с использованием стенда ЦС-01

Цель работы: исследование функционирования типовых логических элементов И,ИЛИ,НЕ

Краткие теоретические сведения

Микросхемы типа ЛА выполняют логическую функцию И — НЕ, ИС типа ЛЕ выполняют логическую функцию ИЛИ - НЕ, а ИС типа ЛН выполняют логическую функцию НЕ. В одном корпусе микросхемы ЛАЗ содержится четыре логических элемента 2И-НЕ. В одном корпусе микросхемы ЛЕ1 содержится четыре логических элемента 2ИЛИ-НЕ. В одном корпусе микросхемы ЛН1 содержится шесть логических элементов НЕ (инверторов). Микросхема ЛН1 имеет двухтактный выходной каскад. Условные обозначения и цоколевки микросхем ЛАЗ, ЛЕ1 и ЛН1 приведены на рисунке 1.

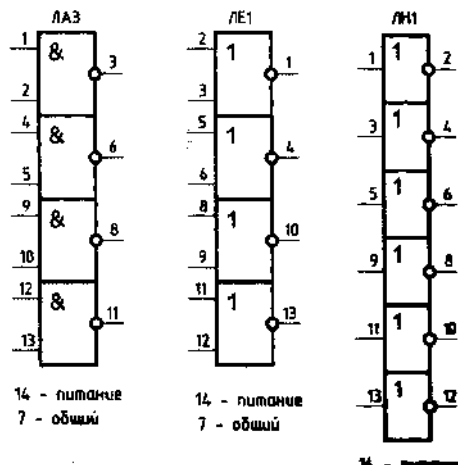


Рисунок 1- Цоколевка микросхем

Порядок выполнения

1. Исследуйте логическую схему К 155 ЛАЗ, зарисуйте ее в отчет с подключенными ЛУ и НГ. Составьте таблицу истинности ее работы
2. Исследуйте логическую схему К 155 ЛЕЗ, зарисуйте ее в отчет с подключенными ЛУ и НГ. Составьте таблицу истинности ее работы

3. Исследуйте логическую схему «НЕ», используя инвертор встроенный в стенд, зарисуйте ее в отчет с подключенными ЛУ и НГ. Составьте таблицу истинности ее работы

Содержание отчета

1. Номер, название и цель работы
2. Схема К 155 ЛА3, с подключенными ЛУ и НГ, таблица истинности
3. Схема К 155 ЛЕ3, с подключенными ЛУ и НГ, таблица истинности
4. Схема инвертора, с подключенными ЛУ и НГ, таблица истинности
5. Временные диаграммы рассмотренных схем
6. Выводы по работе

Контрольные вопросы

1. Классификация базовых логических элементов
2. Таблицы истинности работы базовых логических элементов
3. Какой сигнал будет активный для логической схемы ИЛИ-НЕ, И-НЕ.

Лабораторное занятие №2

Тема: «Исследование принципа работы шифраторов».

Цель работы: исследование функционирования преобразователя двоичного кода, расширение количества выходов дешифратора;

Краткие теоретические сведения

Шифраторы – устройства, осуществляющие преобразование десятичных чисел в двоичный код. Шифратор содержит m входов, последовательно пронумерованных десятичными числами $(0, 1, 2, \dots, m-1)$ и n выходов. Подача сигнала на один из входов приводит к появлению на выходах n -разрядного двоичного кода, соответствующего номеру возведенного входа. Шифраторы широко используются в разнообразных устройствах ввода информации в цифровые системы.

Микросхема 514 ИД2 представляет собой преобразователь двоично-десятичного кода в семисегментный код. Она применяется для управления цифровыми полупроводниковыми индикаторами с общим анодом. Условное обозначение и цоколевка микросхемы 514ИД2 приведены на рисунке 2.

При подаче лог. "0" на вход гашения "S" выходы $A..G=0$ (индикатор выключен).

Для входов КР514ИД2: "0" - напряжение низкого уровня, "1" - напряжение высокого уровня.

Для выходов КР514ИД2: "1" - напряжение низкого уровня, "0" - напряжение высокого уровня

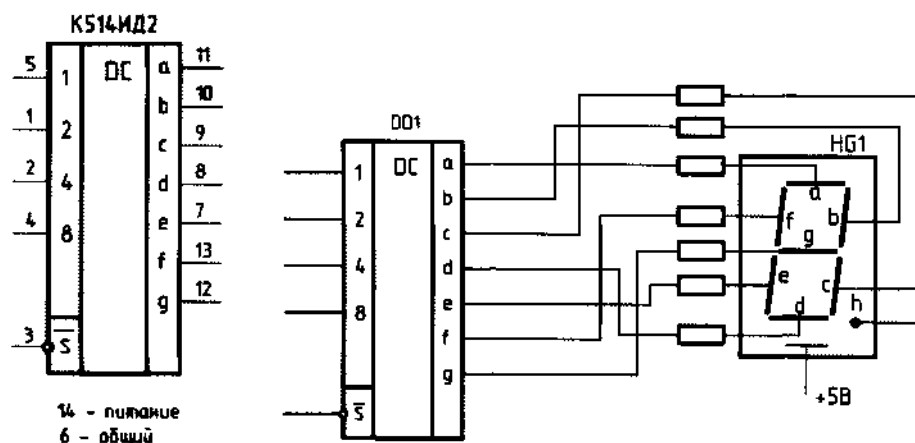


Рисунок 2- Цоколевка преобразователя

Порядок выполнения

1. Зарисуйте схему, показанную на рисунке
2. Проставьте на входах и выходах дешифратора номера выводов. Выберите источники ЛУ, которые Вы будете использовать и проставьте их номера на схеме
2. Соберите схему, показанную на этом рисунке.
3. Получите активный уровень сигнала на выходе дешифратора.
4. Представьте таблицу истинности работы преобразователя, и занесите полученные значения в таблицу

Таблица истинности дешифратора КР514ИД2

1	2	4	8	a	b	c	d	e	f	g	Символ
0	0	0	0								
1	0	0	0								
0	1	0	0								
1	1	0	0								
0	0	1	0								
1	0	1	0								
0	1	1	0								
1	1	1	0								
0	0	0	1								
0	1	0	1								
1	1	0	1								
0	0	1	1								
1	0	1	1								

0	1	1	1								
1	1	1	1								

5. Определите назначение вывода S

Содержание отчета

1. Номер, название и цель работы
2. Схема 514 ИД2 с подключенными ЛУ и НГ, таблица истинности
3. Назначение входа S
4. Выводы по работе

Контрольные вопросы

1. Классификация и назначение шифраторов
2. Область применения шифраторов
3. Если на вход шифратора подать сигнал 101011, что будет зафиксировано на выходе

Лабораторное занятие №3

Тема: «Исследование принципа работы мультиплексора».

Цель работы: закрепить полученные теоретические знания по изучению принципа работы мультиплексора

Краткие теоретические сведения

Мультиплексор – коммутатор логических сигналов, обеспечивающий передачу информации, поступающей по нескольким входным линиям связи, на одну выходную линию.

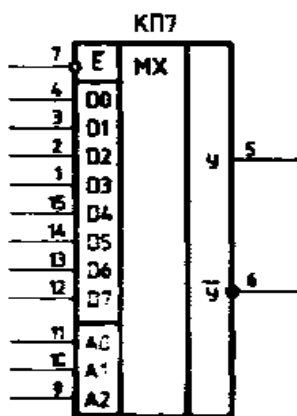
Микросхема КП7 представляет собой восьмиканальный мультиплексор со стробированием. Условное обозначение и цоколевка микросхемы КП7 приведены на рисунке, а состояния даны в таблице. Этот мультиплексор имеет три адресных входа A_0, A_1, A_2 (A_0 - вход младшего разряда адреса; A_2 - вход старшего разряда адреса) и восемь информационных входов $D_0 \dots D_7$ (с адресами 0 ... 7 соответственно). Кроме того у него имеется дополнительный вход разрешения $\bar{E}$ (активный уровень — низкий)

В зависимости от установленного на адресных входах A_0, A_1, A_2 кода разрешается прохождение сигнала на выходы Y_1 и Y_2 только от одного из восьми информационных входов $D_0 \dots D_7$, при этом на входе стробирования E должно быть установлено напряжение **низкого уровня**.

При высоком уровне напряжения на входе E , выход Y_1 устанавливается в состояние низкого уровня напряжения, а выход Y_2 соответственно в состояние высокого уровня.

На адресные входы A_0, A_1, A_2 подается код цифры (0 до 7) которая имеет свой информационный вход $D_0 \dots D_7$ соответственно.

Пример: На вход разрешения E подаем низкий уровень напряжения, на A_2, A_1, A_0 подаем код 010, что соответствует цифре 2, значит информация поступит с информационного входа D_2 . Выбираем нужное ЛУ и подаем напряжение высокого уровня, смотрим прошло ли на выход. Делаем выводы. Проводим эксперимент с входом разрешения E .



Входы			Выходы		
Адрес			$\bar{E}$	Y_1	Y_2
A_2	A_1	A_0			
X	X	X	1	0	1
0	0	0	0	$\overline{D_0}$	$\overline{D_0}$
0	0	1	0	D_1	$\overline{D_1}$
0	1	0	0	D_2	$\overline{D_2}$
0	1	1	0	D_3	$\overline{D_3}$
1	0	0	0	D_4	$\overline{D_4}$
1	0	1	0	D_5	$\overline{D_5}$
1	1	0	0	D_6	$\overline{D_6}$
1	1	1	0	D_7	$\overline{D_7}$

Рисунок 3-Цоколевка микросхемы КП7

Порядок выполнения

1. Зарисуйте подключение всех входов и выходов в микросхеме КП7 (16-питание 8- общий)
2. Соберите схему с использованием универсального стенда
3. Зарисуйте и заполните таблицу истинности работы мультиплексора
4. Приведите входные и выходные диаграммы изменения уровней для заданного мультиплексора
5. Сделать выводы относительно входа Е и работы мультиплексора в целом в ходе проведения работы на стенде.

Содержание отчета

1. Номер, название и цель работы
2. Схема КП7 с подключенными ЛУ и НГ, таблица истинности
3. Входные и выходные диаграммы мультиплексора
4. Выводы по работе

Контрольные вопросы

1. Классификация и назначение мультиплексоров
2. Понятие мультиплексорного дерева

Лабораторное занятие №4

Тема: «Исследование принципа работы демультимплексора»

Тема: Исследование принципа работы демультимплексора

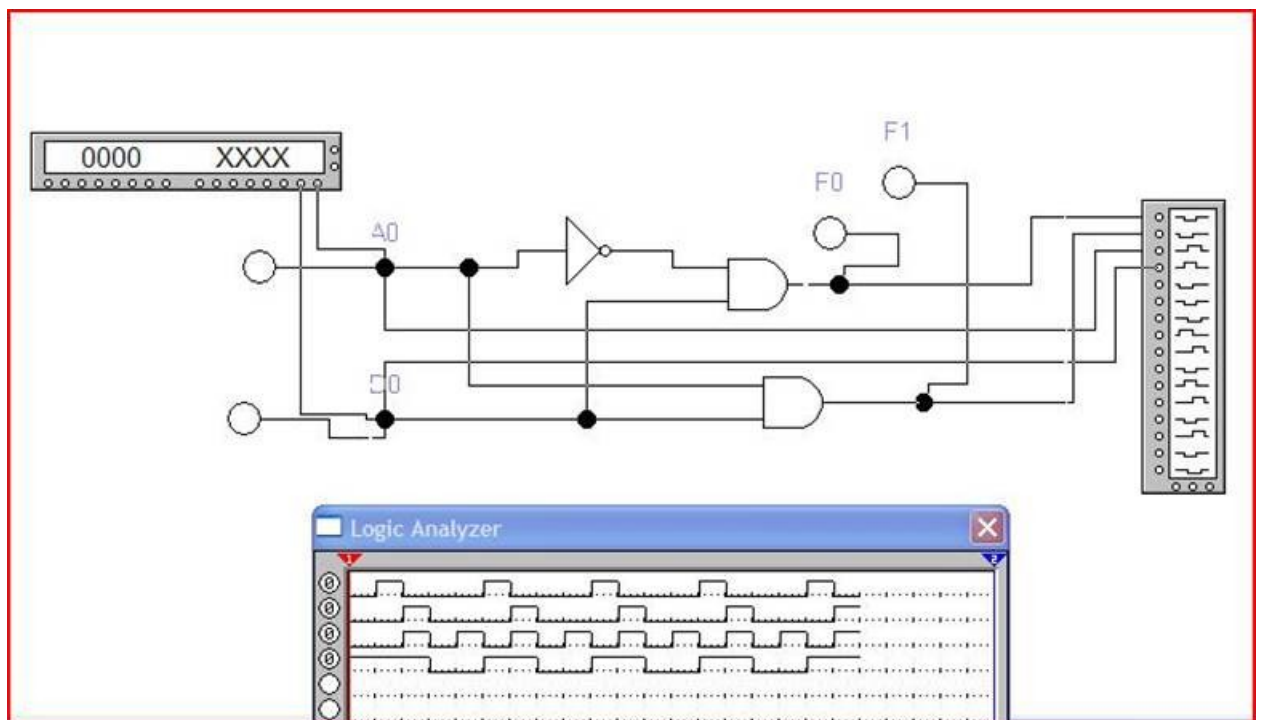
Цель работы: закрепить полученные теоретические знания по изучению принципа работы демультимплексора

Краткие теоретические сведения

Для моделирования использован логический преобразователь, его выходной сигнал описывается булевым выражением $Y = BC + AC$, т.е. сигнал из канала A проходит на выход при адресном входе $C=0$, а из канала B, при $C=1$, что соответствует логике работы мультиплексора.

Демультимплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы с одного информационного входа распределяются в требуемой последовательности по нескольким выходам. Выбор нужной шины обеспечивается установкой соответствующего кода на адресных входах.

На рис. 2 представлен пример моделирования двухканального демультимплексора. Схема содержит два элемента Ии один элемент НЕ. При $A=0$ сигнал с информационного входа передается на выход $Y1$, а при $A=1$ – на выход $Y2$.



A0	D	F1	F0
----	---	----	----

0			
1			

Содержание отчета

1. Номер,название и цель работы
2. Таблица истинности и УГО демультиплексора
3. Схема и входные и выходные диаграммы демультиплексора
4. Выводы по работе

Контрольные вопросы

1. Что такое демультиплексор, для решения каких задач его можно применять?
2. Назначение входов СЕ0 и СЕ1 на микросхеме ИДЗ

Тема: Исследование принципа работы запоминающего устройства

Цель работы: исследование принципа построения запоминающего устройства, функционирования ЗУ.

Краткие теоретические сведения

Оперативная память (ОЗУ, RAM — RandomAccessMemory — eng.) — относительно быстрая энергозависимая память компьютера с произвольным доступом, в которой осуществляются большинство операций обмена данными между устройствами. Является энергозависимой, то есть при отключении питания, все данные на ней стираются. Оперативная память является хранилищем всех потоков информации, которые необходимо обработать процессору или же они дожидаются в оперативной памяти своей очереди. Все устройства, связывается с оперативной памятью через системную шину, а с ней в свою очередь обмениваются через кэш или же напрямую.

Порядок выполнения

1. В работе используйте микросхему, K531PY8.
2. Зарисуйте схему, показанные на рисунке. Проставьте на входах и выходах логических элементов номера выводов.

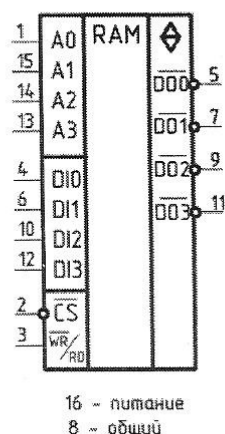


Рисунок 5 - Цоколевка ЗУ типа K531PY8

3. Соберите схему, показанную на рисунке 5, расставив все логические уровни на входах микросхемы
4. Таблица истинности работы ЗУ приведена в таблице

Режим работы	Входы				Выходы
	$\overline{CS}$	$\overline{WR}/RD$	A0...A3	D10...D13	D00...D03
Хранение	1	X	X	X	Roff
Запись информации	0	0	A	D10...D13	Roff
Считывание информации	0	1	A	X	Данные в обратном коде

5. Зарисуйте таблицу истинности работы ЗУ
6. Приведите временные диаграммы работы ЗУ
7. Произведите расширение разрядности ЗУ
8. Приведите временные диаграммы работы ЗУ расширенной разрядности

Содержание отчета

1. Номер, название и цель работы
2. Схема K531PY8 подключенными ЛУ и НГ, таблица истинности
3. Временные диаграммы работы ЗУ
4. УГО ЗУ расширенной разрядности, таблица истинности
5. Временные диаграммы ЗУ с расширенными входами
6. Назначение входов WRи RD, какой сигнал для них является активным
7. Выводы по работе

Контрольные вопросы

1. Классификация и назначение ОЗУ
2. Область применения

Лабораторное занятие №6

Тема: Построение АЦП с использованием программы

Цель работы: исследование принципа построения и функционирования АЦП

Цель работы: исследование принципа построения АЦП

Краткие теоретические сведения

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая нуль. Необходимо, следовательно, семь компараторов. Семь соответствующих опорных напряжений U_{on} образуются с помощью *резистивного делителя*.

Постепенно повышая уровень входного сигнала можно превысить напряжение на опорном входе нижнего компаратора. В этом случае на его выходе сформируется уровень логической единицы. Код на выходе линейки компараторов примет значение 0000001. При дальнейшем увеличении уровня сигнала на входе параллельного АЦП код будет принимать значения 0000011, 0000111, и так далее. Максимальное значение кода 1111111 будет выдано на выходе линейки компараторов параллельного аналого-цифрового преобразователя при превышении входным сигналом значения сигнала на опорном входе самого верхнего компаратора.

Преобразование этой группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое *приоритетным шифратором (кодирующее устройство)*, диаграмма состояний которого приведена в табл.1.

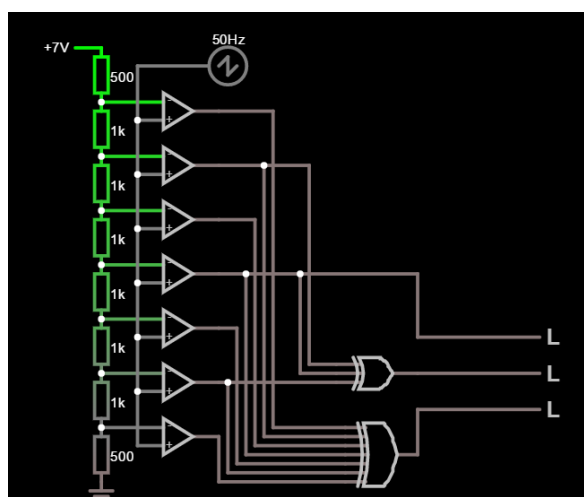


Таблица 1

Входное напряжение	Состояние компараторов							Выходы		
$U_{вх}/h$	K ₇	K ₆	K ₅	K ₄	K ₃	K ₂	K ₁	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1

2	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Ход работы

Задание: Исследование АЦП параллельного АЦП

1. Открыть схему: *схема-аналого-цифровой-параллельный АЦП*
2. Установить скорость симуляции примерно 50 %
3. Используя теорию и **таблицу № 1**, понять принцип работы АЦП , получить отметку о выполнении. Обязательно проследить на схеме совпадение вх. напряжения с данными таблицы $U_{вх} = 1.....7$.
4. Зарисовать схему АЦП, обозначить на ней источник вых напряжения, источник опорного напряжения, компараторы, приоритетный шифратор, резистивный делитель.
5. Какой шаг квантования используется в данном компараторе ($Du=?$)

Какое максимальное и минимальное опорное напряжение в схеме?
6. Зарисовать осциллограммы, пояснить что на них изображено.
7. Сделать вывод по работе.

Содержание отчета:

1. Отметка о выполнении практической части
2. Схема с указанными компонентами и обозначениями
3. Указать шаг квантования и мин и макс опорное напряжение
4. Осциллограммы и указания к ним
5. Вывод

Лабораторное занятие №7

Тема: «Построение АЛУ процессора»

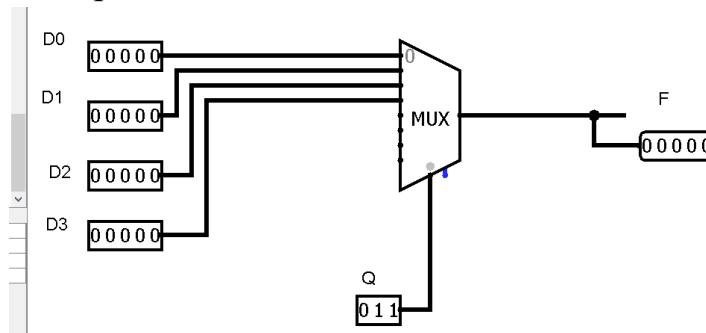
Цель: Изучить принцип построения и функционирования простейших арифметико-логических устройств процессора.

Оборудование: персональный компьютер

Программное обеспечение: Logisim

Порядок выполнения:

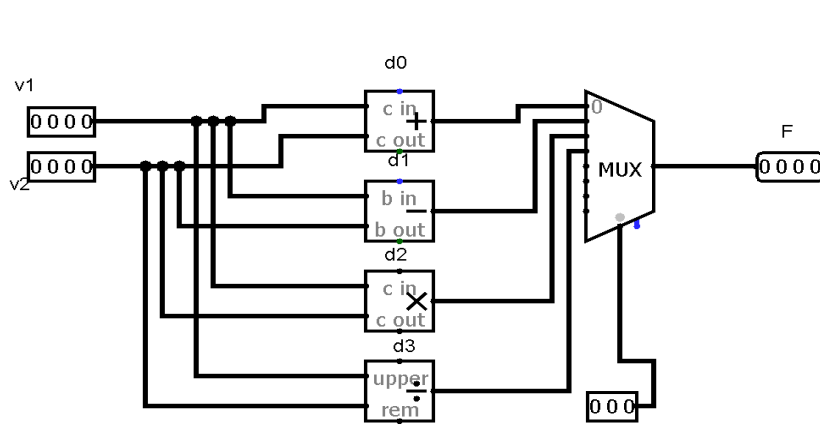
1. В программе Logisim вычертить схему работы мультиплексора при работе с данными на 5 бит. В настройках мультиплексора установить выбирающие биты: 3.



Заполните таблицу истинности. Вспомните и запишите принцип работы мультиплексора. Поясните 4 и 5 значения таблицы на выходе мультиплексора.

№	Q выб.	F
1	000	
2	001	
3	010	
4	100	
5	111	
6	011	

2. Соберите в новом документе Logisim схему четырехбитного АЛУ. Элементы можно копировать из предыдущей рабочей схемы. Обратите внимание, что значения мультиплексора и контактов на входе и выходе меняются согласно битам.

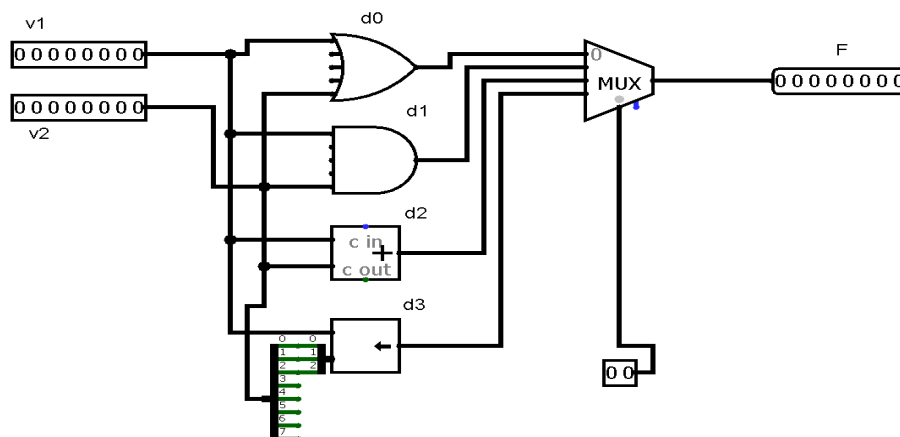


Заполните таблицу истинности.

№	Q выб.	V1	V2	F
1	000			
2	001			
3	010			
4	100			
5	111			
6	011			

3. Соберите в новом документе Logisim схему восьмибитного АЛУ. Элементы можно копировать из предыдущей рабочей схемы. В настройках мультиплексора установить выбирающие биты: 2.

Оно может выполнять четыре операции: побитовое ИЛИ, побитовое И, сложение и логический левый сдвиг. Двухбитный код операции поступает на управляющий вход мультиплексора, и на выход поступает результат выбранной операции. Левый сдвиг требует в качестве второго операнда трёхбитное значение, поэтому из операнда В предварительно выделены три младших бита с помощью компонентов «Разветвитель».



Заполните таблицу истинности.

№	Q выб.	V1	V2	F
1	00			
2	01			
3	10			
4	11			

4. Сделать вывод о работе АЛУ процессора.

Содержание отчета:

1. Отметка о выполнении практической части
2. Схемы и таблицы истинности к ним
3. Вывод: Принцип работы восьми битного АЛУ и мультиплексора в составе АЛУ.

Лабораторная работа №8

Тема: Изучение структурной схемы МП серии КР 580

Цель работы: научиться производить логические операции с микропроцессором КР 580

Краткие теоретические сведения

Программный эмулятор работы микропроцессора (МП) КР580ВМ80А предназначен для изучения его структурной схемы и системы команд. Он позволяет воспроизводить работу МП в составе микропроцессорной системы в трех режимах: автоматическом; покомандном и потактовом. Главное окно программы представлено на рисунке 9.

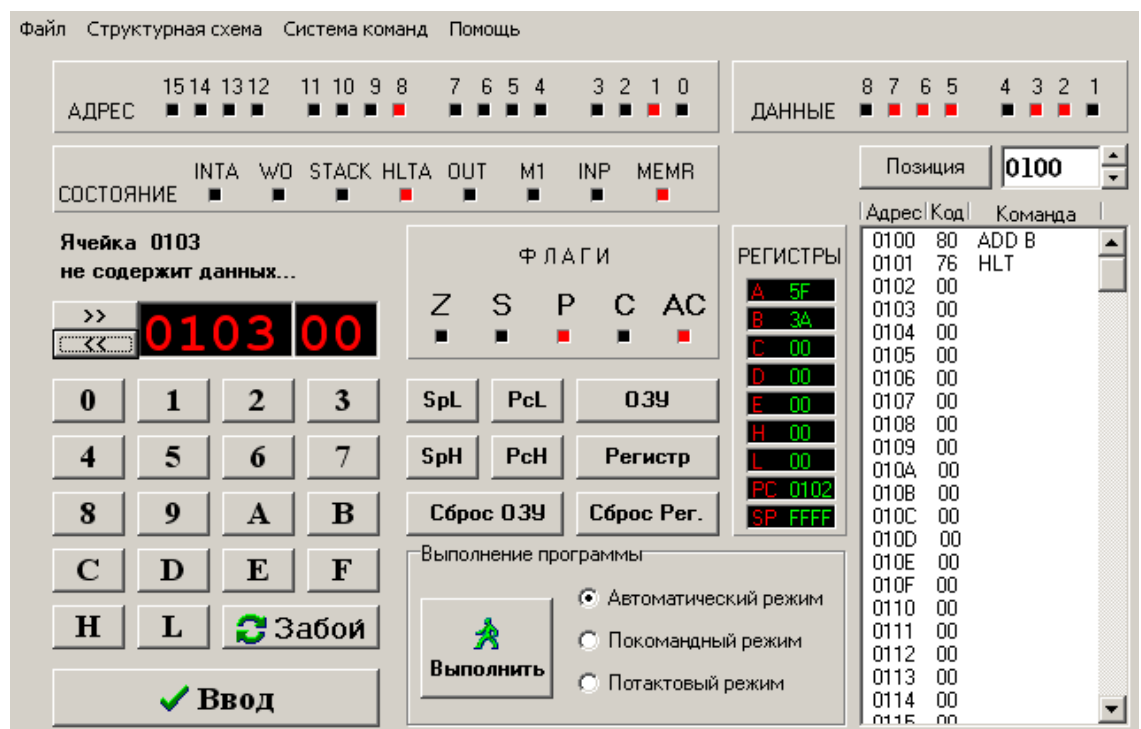
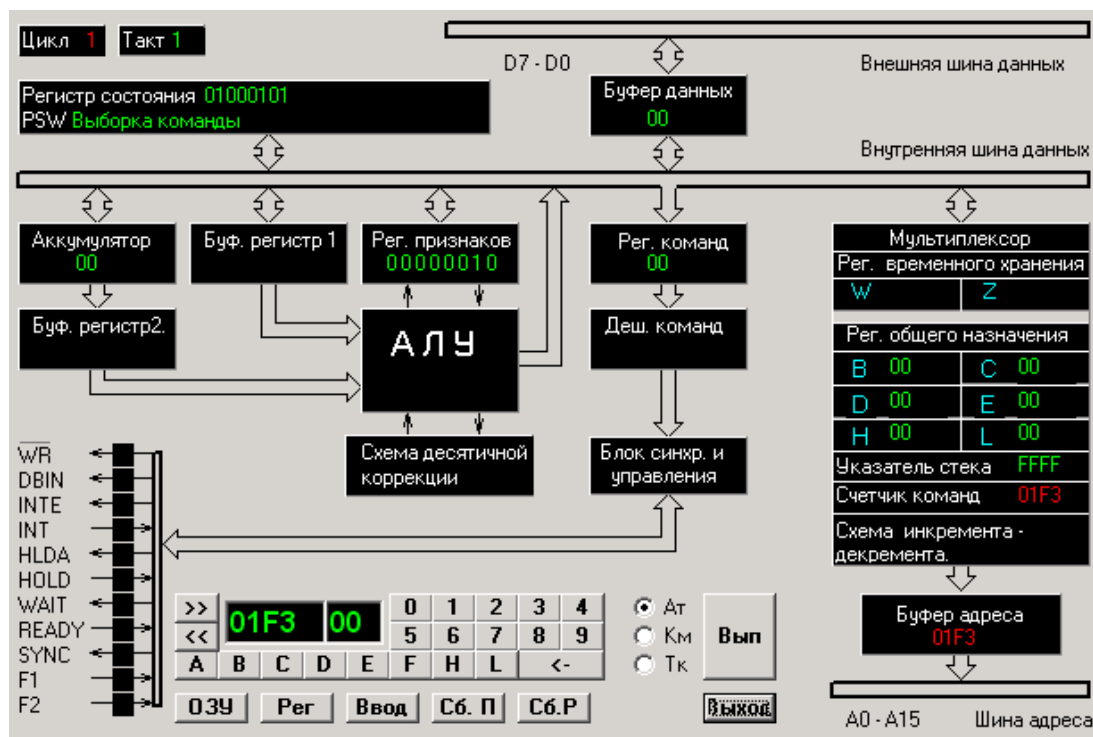


Рисунок 9- Главное окно программного эмулятора

В верхней части окна расположено меню, содержащее четыре пункта:

1. Файл, содержащее стандартные подпункты: открыть; сохранить как; сохранить и выход;
2. Структурная схема. С помощью этого пункта меню на экран выводится структурная схема МП (рисунок 10);



4. Рисунок 10- Структурная схема МП КР580ВМ80А

3. Система команд. Имеется возможность вывода всего списка команд МП, так и вывод команд по группам с помощью кнопки “Команды”.
5. Блок индикации отображает в двоичном коде состояние шин адреса и данных, слово состояние МП и содержимое регистра флага. Кроме этого, в окне “Регистры” в шестнадцатеричном коде отображается содержимое всех программно доступных регистров МП, а в окне память – адрес ячейки памяти (внешней), ее содержимое и мнемоническая запись команды.
6. В левой нижней части окна расположена буквенно-цифровая клавиатура, предназначенная для ввода адресов ячеек памяти и регистров, а также их содержимого в шестнадцатеричном коде. Справа и ниже клавиатуры расположены функциональные кнопки, за которыми закреплены следующие функции:
 7. $0...F$ – предназначены для ввода шестнадцатеричных символов и имен регистров;
 8. *Забой* – позволяет удалить один символ в процессе ввода;
 9. *Ввод* – предназначена для записи данных в соответствующую ячейку памяти или регистр;
 10. *Сброс ОЗУ* – предназначена для обнуления содержимого всего пространства памяти МП;

11. *Сброс Рег.* – необходима для обнуления содержимого всех регистров и флагов МП;
12. *ОЗУ* – выбор ячейки памяти.
13. *Регистр* – выбор регистров МП.
14. *РсН* – предназначена для вызова на дисплей содержимого старшего байта счетчика команд МП для дальнейшей его модификации.
15. *РсL* – предназначена для вызова на дисплей содержимого младшего байта счетчика команд МП для дальнейшей его модификации.
16. *SpН* – предназначена для вызова на дисплей содержимого старшего байта указателя стека МП для дальнейшей его модификации.
17. *SpL* – предназначена для вызова на дисплей содержимого младшего байта указателя стека МП для дальнейшей его модификации.
18. *Выполнить* – предназначена для выполнения программ пользователя в одном из трех режимов: автоматическом, покомандном, потактовом.
19. Для включения одного из трех режимов выполнения программ: автоматически, по одной команде, и режим выполнения по тактам команды необходимо установить флажок напротив соответствующего режима.

Порядок выполнения

1. Назначение всех блоков микропроцессора
2. Запишите в память программу загрузки регистров общего назначения А, В, С, D, Е, Н, L соответственно числами 01h, 02h, 03h, 04h, 05h, 06h, 07h. Установите начальный адрес программы. Выполните эту программу, нажав клавишу «ВЫПОЛНИТЬ». В окне «РЕГИСТРЫ» проверьте правильность записи данных в регистры общего назначения.
3. Запишите в память программу загрузки пар регистров ВС, DE, HL соответственно 16-разрядными данными 2122h, 2223h, 2324h. Выполните эту программу и проверьте правильность записи данных в регистры общего назначения.

Содержание отчета

1. Номер, название и цель работы
2. Схема микропроцессора, принцип работы основных элементов
3. Порядок записи в регистры микропроцессора
4. Назначение основных узлов микропроцессора

Лабораторная работа №9

Тема: Программирование линейных процессоров

Цель работы: научиться производить программирование линейных процессоров

Краткие теоретические сведения

. Ознакомьтесь со структурой арифметических (сложение, сравнение) и логических («Исключающее ИЛИ», циклический сдвиг) команд МП K580BM80A.

1.2. Составьте на ассемблере и в машинных кодах программу сложения содержимого регистров B=12h, C=31h, D=1Ah с содержимым аккумулятора A=15h.

Для выполнения задания необходимо использовать команду сложение содержимого регистров, общий вид которой

ADD R,

где *R* – регистры общего назначения A, B, C, D, E, H, L.

В качестве примера рассмотрим программу сложения содержимого аккумулятора A=3Bh с содержимым регистра H=25h.

Адрес	Машинный код	Мнемоника команды	Комментарий
0100 0101	3E 3Bh	<i>MVI A</i>	Загрузка регистра A ← 3Bh
0102 0103	26 25	<i>MVI H</i>	Загрузка регистра H ← 25h
0104	84	<i>ADD H</i>	Сложение содержимого регистра аккумулятора A и содержимого регистра $HA \leftarrow A + H$

Составьте программу сложения числа 01h, записанного в ячейку памяти по адресу 2050h, который указан в регистровой паре HL, с содержимым аккумулятора FFh. Для выполнения задания необходимо использовать команду сложения, общий вид которой

ADD M,

где *M* – содержимое ячейки памяти, адрес которой указан в паре регистров HL.

В качестве примера рассмотрим программу сложения числа 03h, записанного в ячейку памяти по адресу 0910h, и содержимого аккумулятора A = 60h.

Адрес	Машинный код	Мнемоника команды	Комментарий
0100 0101 0102	21h 10h 09h	<i>LXI H, 910h</i>	Загрузка пары регистров HL←0910h адресом ячейки памяти
0103 0104	3E 03h	<i>MVI A</i>	Загрузка регистра A ←03h
0105	77h	<i>MOV M, A</i>	Запись в ячейку памяти, адрес которой 0910h, содержимого аккумулятора M←A
0106 0107	3E 60h	<i>MVIA</i>	Загрузка регистра A← 60h
0109	86h	<i>ADDM</i>	Сложение содержимого аккумулятора с содержимым ячейки памяти, адрес которой указан в паре регистров HL←A+M

Составьте программу сложения содержимого аккумулятора A=17h и числа 1Ah.

Для выполнения задания необходимо использовать команду непосредственного сложения, общий вид которой

$$ADI \ b_2$$

где b_2 - непосредственный операнд, записанный во втором байте команды.

В качестве примера рассмотрим программу сложения содержимого аккумулятора A=07h с числом 10h.

Адрес	Машинный код	Мнемоника команды	Комментарий
0100 0101	3E 07h	<i>MVIA</i>	Загрузка регистра A← 07h
	C6 10h	<i>ADI 10h</i>	Сложение содержимого аккумулятора с содержимым второго байта команды 10h $A \leftarrow A + b_2$

Составьте программу сравнения содержимого аккумулятора A=10h с содержимым регистров B=05h, C=10h, D=21h.

Для выполнения задания используйте команду сравнения, общий вид которой

CMP R,

где *R* – регистры общего назначения A, B, C, D, E, H, L.

В качестве примера рассмотрим программу сравнения содержимого аккумулятора A=1Bh с содержимым регистра L= 0Bh.

Адрес	Машинный код	Мнемоника команды	Комментарий
0300 0301	3E 1Bh	<i>MVI A</i>	Загрузка регистра A ← 1Bh
0302 0303	2E 0B	<i>MVI L</i>	Загрузка регистра L ← 0Bh
0304	BD	<i>CMP L</i>	Сравнение содержимого регистра аккумулятора A с содержимым регистра L

Составьте программу выполнения операции «Исключающее ИЛИ» с содержимым регистра A=AAh (очень часто эта команда используется для очистки аккумулятора).

Для выполнения задания необходимо использовать команду, общий вид которой

XRAR,

где *R* – регистры общего назначения A, B, C, D, E, H, L.

В качестве примера рассмотрим программу выполнения операции «Исключающее ИЛИ» содержимого аккумулятора A=33h с содержимым регистра D=52h.

Адрес	Машинный код	Мнемоника команды	Комментарий
0800 0801	3E 33h	<i>MVI A</i>	Загрузка регистра A ← 33h
0802 0803	16 52h	<i>MVI D</i>	Загрузка регистра D ← 52h
0804	AA	<i>XRA D</i>	«Исключающее ИЛИ» с содержимым регистра $DA \leftarrow A \oplus D$

Порядок выполнения

1. Запишите в память программу сложения содержимого регистров B=12h, C=31h, D=1A с содержимым аккумулятора A=15h. Выполните эту программу. Проверьте правильность выполнения операции. Запишите состояние регистра флагов.

2. Запишите в память программу сложения числа 01h, записанного в ячейку памяти по адресу 2050h, содержащемуся в паре регистров HL, с содержимым аккумулятора FFh. Выполните эту программу и проверьте правильность выполнения операции. Запишите состояние регистра флагов.

3. Запишите в память программу сложения содержимого аккумулятора A=17h и числа 1Ah. Выполните программу и проверьте правильность выполнения операции. Запишите состояние регистра флагов.

4. Запишите в память программу сравнения содержимого аккумулятора A=10h с содержимым регистров B=05h, C=10h, D=21h. Выполните ее и проверьте правильность ее работы, просмотрев содержимое регистров A, B, C, D и регистра флагов. Запишите состояние регистра флагов.

5. Запишите в память программу выполнения операции «Исключающее ИЛИ» с содержимым регистра A=AAh. Выполните ее. Просмотрите содержимое регистра аккумулятора. Оно должно быть равно 0h. Запишите состояние регистра флагов.

6. Запишите в память программу сдвига содержимого аккумулятора A=31h на 3 разряда вправо. Выполните ее в покомандном режиме. Просмотрите содержимое регистра аккумулятора после выполнения каждой команды и убедитесь в правильности выполнения программы. Запишите состояние регистра флагов.

7. Запишите в память программу сдвига содержимого аккумулятора A=31h на 3 разряда влево. Выполните ее в покомандном режиме. Просмотрите содержимое регистра аккумулятора после выполнения каждой команды и убедитесь в правильности выполнения программы. Запишите состояние регистра флагов.

Содержание отчета

1.Номер, название и цель работы

2. Запись в память программу сложения содержимого регистров B=12h, C=31h, D=1A с содержимым аккумулятора A=15h

3. Запись в память программу сложения числа 01h, записанного в ячейку памяти по адресу 2050h, содержащемуся в паре регистров HL, с содержимым аккумулятора FFh

4. Запись в память программу сложения содержимого аккумулятора A=17h и числа 1Ah

5. Запись в память программу сравнения содержимого аккумулятора A=10h с содержимым регистров B=05h, C=10h, D=21h

6. Запись в память программу выполнения операции «Исключающее ИЛИ» с содержимым регистра A=AAh

7. Запишите в память программу сдвига содержимого аккумулятора A=31h на 3 разряда вправо

8. Запишите в память программу сдвига содержимого аккумулятора A=31h на 3 разряда влево

Контрольные вопросы

1. Назначение микропроцессоров

Практическое занятие №1

Тема: «Арифметические операции с двоичными числами».

Цель работы: закрепить полученные теоретические знания по выполнению арифметических операций с двоичными числами

Краткие теоретические сведения

Перевод чисел из одной системы счисления в другую составляет важную часть машинной арифметики. В пособии приведены примеры перевода из различных систем счисления.

Пример 1 . Число 11101000_2 перевести в десятичную систему счисления.
 $11101000_2 = 1 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 232_{10}$

Пример 2 . Число 75013_8 перевести в десятичную систему счисления.
 $75013_8 = 7 \cdot 8^4 + 5 \cdot 8^3 + 0 \cdot 8^2 + 1 \cdot 8^1 + 3 \cdot 8^0 = 31243_{10}$

Пример 3 . Число $FDA1_{16}$ перевести в десятичную систему счисления.
 $FDA1_{16} = 15 \cdot 16^3 + 13 \cdot 16^2 + 10 \cdot 16^1 + 1 \cdot 16^0 = 64929_{10}$

Пример 4. Число 1011100011_2 перевести в шестнадцатеричную систему счисления.
 $0010 \ 1110 \ 0011_2 = 2E3_{16}$

Пример 5. Число 531_8 перевести в двоичную систему счисления.
 $531_8 = 101011001_2$

Порядок выполнения

1. Заполните таблицу, в каждой строке которой одно и то же целое число должно быть записано в различных системах счисления.

Двоичная	Восьмеричная	Десятичная	Шестнадцатеричная
101010			
	127		
		269	
			C9B

2. Постройте логическую схему цифрового устройства, заданного выраж.

1в. $(A \& B) \vee (\bar{A} \vee B) \vee (C \& B)$

2в. $(A \& \bar{B}) \vee (A \& B) \vee (A \& \bar{C})$

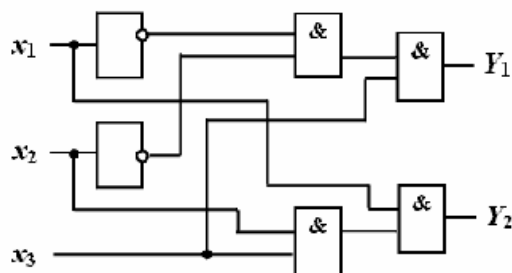
3в. $(A \& B) \vee (A \& \bar{B}) \vee (\bar{A} \& C)$

4в. $(A \vee B) \& (\bar{B} \vee A) \& (C \vee \bar{A})$

5в. $(\bar{A} \& B) \vee (A \& B) \vee (B \& \bar{C})$

6в. $(B \& \bar{C}) \vee (B \& C) \vee (A \& B)$

3. По заданной схеме определите логическое выражение Y1 и Y2



4. Определите значения Y1 и Y2, при следующих входных значениях:

а. ($x_1=1, x_2=0, x_3=1$), б. ($x_1=0, x_2=1, x_3=1$), в. ($x_1=0, x_2=0, x_3=1$)

5. Приведите временные диаграммы работы логических схем: И, ИЛИ, НЕ, ИЛИ-НЕ, И-НЕ

Содержание отчета

1. Номер, название и цель работы
2. Расчет примеров по переводу систем счисления, заполнение таблицы 1
3. Логическая схема цифрового устройства, логическое выражение
4. Логическая схема цифрового устройства, определение логического выражения Y1 и Y2
5. Значения Y1 и Y2 при условиях а, б, в
6. Временные диаграммы для логических схем: И, ИЛИ, НЕ, ИЛИ-НЕ, И-НЕ
7. Выводы по работе

Контрольные вопросы

4. Классификация базовых логических элементов
5. Таблицы истинности работы базовых логических элементов
6. Какой сигнал будет активный для логической схемы ИЛИ-НЕ, И-НЕ.

Приложение

Таблица систем счисления			
десятичная	двоичная	восьмеричная	шестнадцатеричная
0	0	0	0
1	1	1	1
2	10	2	2
3	11	3	3
4	100	4	4
5	101	5	5
6	110	6	6
7	111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

Перевод из двоичной в восьмеричную и шестнадцатеричную системы

$a_{n-1}a_{n-2}\dots a_2a_1a_0$		$a_{n-1}a_{n-2}\dots a_2a_1a_0$		$a_{n-1}a_{n-2}\dots a_2a_1a_0$	
Для восьмеричной		Для шестнадцатеричной			
000	0	0000	0	1000	8
001	1	0001	1	1001	9
010	2	0010	2	1010	A
011	3	0011	3	1011	B
100	4	0100	4	1100	C
101	5	0101	5	1101	D
110	6	0110	6	1110	E
111	7	0111	7	1111	F

Практическая работа №2

Тема: Минимизация логических функций методом Квайна

Цель работы: закрепить полученные теоретические знания по минимизации логических функций методом Квайна

Краткие теоретические сведения

Цель минимизации - понижение стоимости технической реализации. Начальным этапом минимизации любым методом является запись функции в совершенной нормальной форме.

Метод Квайна состоит из 2х этапов:

Переход от канонической формы к сокращенной

Переход от сокращенной функции к минимальной

Переход к сокращенной форме основан на последовательном применении 2х операций – склеивание, поглощение. Пусть исходная функция представлена в СДНФ, тогда операция склеивания выглядит путем выявления в выражении пар вида xy и $x\bar{y}$.

Затем производится их склеивание $xy \vee x\bar{y} = x(y \vee \bar{y}) = x$, т.е. выявляются пары импликант, различающиеся на 1 аргумент, производится их склеивание и результаты склеивания вводятся в выражение функции в виде дополнительных членов.

Далее производится операция поглощения, которая основывается на равенстве $xy \vee x\bar{y} = x(y \vee \bar{y}) = x$. Операция производится путем вычеркивания всех членов, поглощенных членами, введенными в результате проведения

операции

склеивания.

Операции склеивания и поглощения производятся последовательно до тех пор, пока их выполнение оказывается не возможным. Заключительным этапом строится логическая схема цифрового устройства.

Порядок выполнения

1. Начертить карту Квайна для 3 переменных
2. Получить индивидуальные задания для построенной карты

№ строки	a	b	c	d	S(a)
0	0	0	0	0	
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	
15	1	1	1	1	

3. Получить СДНФ и СКНФ заданной функции
4. Получить минимизированные логические выражения
5. Построить таблицу для определения ядра заданной функции
6. Построить логическое устройство, реализующее заданную функцию
7. Минимизировать следующие функции по вариантам:

1в. $F = (11 \vee 7 \vee 9 \vee 15 \vee 21 \vee 18)$

2в. $F = (13 \vee 17 \vee 6 \vee 11 \vee 20 \vee 19)$

3в. $F = (10 \vee 16 \vee 7 \vee 15 \vee 24 \vee 20)$

4в. $F = (23 \vee 12 \vee 19 \vee 17 \vee 14 \vee 22)$

5в. $F = (25 \vee 16 \vee 18 \vee 12 \vee 21 \vee 13)$

6в. $F = (22 \vee 17 \vee 15 \vee 19 \vee 27 \vee 29)$

Содержание отчета

1. Номер, название и цель работы
2. Таблица карты Квайна
3. Получение СДНФ и МНФ
4. Получение СКНФ и МНФ
5. Построение таблицы определения ядра СДНФ и СКНФ
6. Построение логической схемы устройства

7. Получение МНФ логического выражения
8. Выводы по работе

Контрольные вопросы

1. Назначение принципа минимизации методом Квайна
2. Законы алгебры - логики

Практическая работа №3

Тема: Минимизация логических функций методом Вейча

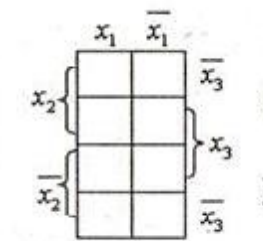
Цель работы: закрепить полученные теоретические знания по минимизации логических функций методом Вейча

Краткие теоретические сведения

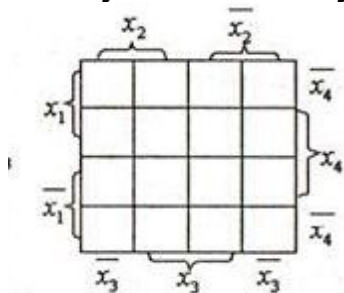
Диаграмма Вейча представляет собой фактически таблицу истинности, которая представляется не в виде столбцов, а в виде специальных карт. Каждой клетке диаграммы соответствует определенный набор значений аргументов. Поэтому диаграммы можно рассматривать как графическое представление совокупности всех конституэнт единицы. При этом диаграмма строится таким образом, что склеивающиеся между собой конституэнты оказываются расположенными в соседних клетках, т.к. отличаются значением только одной переменной. Приведем примеры построения диаграммы Вейча и карт Карно для ПФ от разного числа аргументов. Для представления функции с помощью диаграмм Вейча или карт Карно следует записать единицы в клетках таблицы, соответствующие наборам, на которых функция равна единице, а нули в остальные клетки. При склеивании соседних конституэнт необходимо обводить овалом. И по законам алгебры логики производить сокращение переменных.

Порядок выполнения

1. Начертить диаграмму Вейча для 3 переменных.



2. Получить индивидуальные задания для построенной карты
3. Получить МДНФ и МКНФ заданной функции
4. Построить логическое устройство, реализующее заданную функцию
5. Начертить диаграмму Вейча для 4 переменных.
6. Получить индивидуальные задания для построения карты



6. Получить МДНФ и МКНФ заданной функции
7. Построить логическое устройство, реализующее заданную функцию

Содержание отчета

1. Номер, название и цель работы
2. Диаграмма Вейча для 3 переменных, минимизированное выражение
3. Логическая схема для минимизированного выражения трех переменных
4. Диаграмма Вейча для 4 переменных, минимизированное выражение
5. Логическая схема для минимизированного выражения четырех переменных
6. Выводы по работе

Контрольные вопросы

1. Назначение принципа минимизации методом Вейча
2. Сравнительный анализ минимизации методом Квайна и Вейча, достоинства и недостатки

Тема: Синтез цифрового компаратора кодов

Цель работы: исследование функционирования цифрового компаратора кодов

Краткие теоретические сведения

Цифровым компаратором называется устройство, предназначенное для сравнения двух чисел представленных в виде двоичного или двоично-десятичного кода.

Компараторы определяют равенство или неравенство чисел. И результат сравнения отображается в виде логического сигнала на соответствующем выходе компаратора. Цифровые компараторы применяются для выявления нужного числа (слова) в любых цифровых последовательностях, например: для отметки времени в электронных часах, для выявления условных переходов в вычислительных устройствах, адресных селекторах.

На рис. 17 представлена схема одноразрядного компаратора. Компаратор состоит из 2-х элементов НЕ, четырёх элементов И, и одного элемента ИЛИ-НЕ, число в двоичном коде формируется логическим преобразователем и подаётся на входы А и В компаратора. В случае неравенства чисел А и В на выходе компаратора появляется 1. В случае равенства 0, что отображается таблицей истинности.

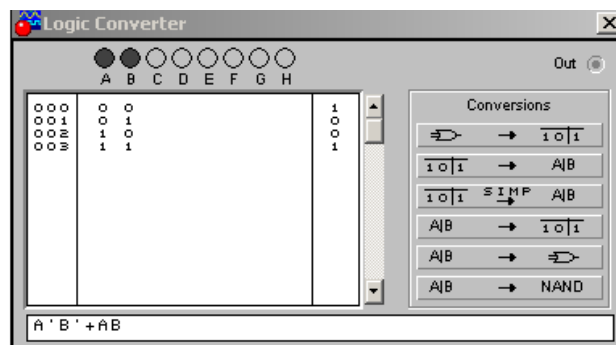
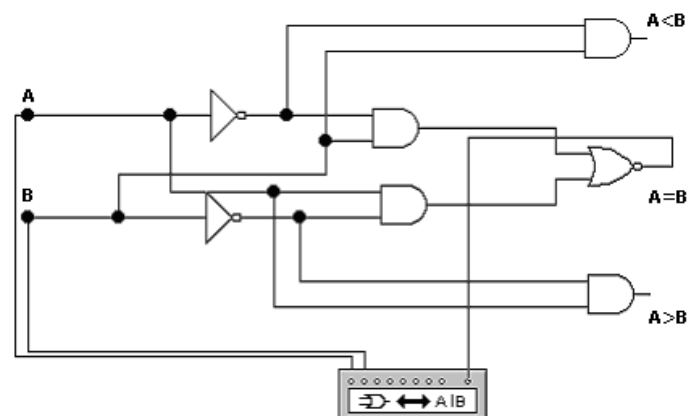


Рис.17

Задание

1. Исследовать схему компаратора с помощью логического анализатора в программе EWB, подсоединяя клемму OUT последовательно ко всем выходам компаратора, получить на логическом анализаторе таблицу истинности для каждого выхода.

2. Проанализируйте значение выходной функции, на рисунке 3 при следующих значениях:

$A_1=1, A_2=1, B_1=0, B_2=1$ и $A_1=0, A_2=0, B_1=0, B_2=1$

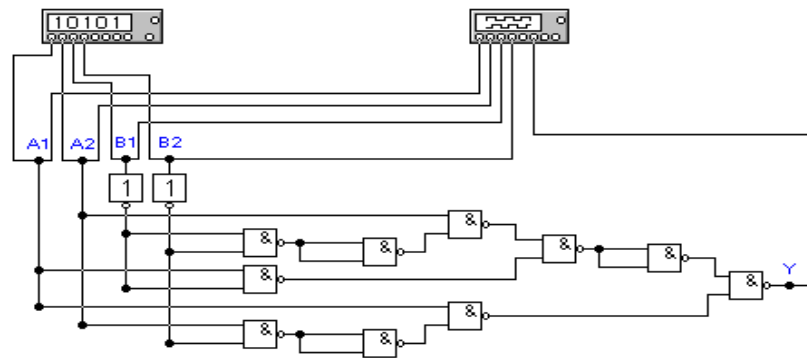


Рисунок 3- Схема логического устройства

3. Запишите значение выходной функции для двух вариантов

Содержание отчета

1. Номер, название и цель работы
2. Схема компаратора, изображенного на рисунке 17
3. Таблицы истинности для каждого выхода и временные диаграммы компаратора, изображенного на рисунке 17
4. Определение значения выходной функции
5. Выводы по работе

Контрольные вопросы

1. Назначение компаратора
2. Сравнительный анализ цифровых и аналоговых компараторов

Практическая работа №5

Тема: Исследование принципа работы сумматоров

Цель работы: исследование функционирования цифровых сумматоров

Краткие теоретические сведения

Двоичные сумматоры позволяют суммировать два двоичных числа и являются основным блоком процессора. При сравнении процессоров наиболее важной характеристикой является разрядность сумматора, входящего в их состав. В современной технике двоичные сумматоры используются в приемопередающей аппаратуре, такой как цифровой тюнер (цифровой ресивер) или в приемниках сотовых аппаратов G3 или LTE.

Порядок выполнения

1. С использованием универсального стенда ЦС-01, исследуйте микросхему ИМЗ сумматора. Микросхема ИМЗ — это параллельный четырехразрядный полный двоичный сумматор.

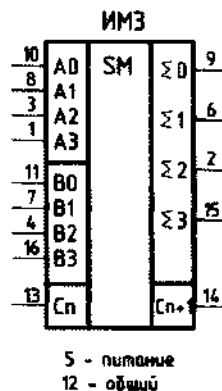


Рисунок 4- Цоколевка микросхемы

Он принимает два четырехразрядных слова A и B по входам данных $A0...A3$ и $B0...B3$, а по входу Cn сигнал переноса из предыдущего младшего разряда. На входы $A0$ и $B0$ подаются младшие разряды, а на входы $A3$ и $B3$ - старшие разряды слагаемых A и B . Сумма разрядов входных слов появляется на выходах $S0...S3$.

2. Зарисуйте микросхему с подключенными ЛУ и выходными сигналами
3. Соберите заданную схему и проанализируйте принцип ее работы
4. Приведите таблицу истинности работы сумматора

Входные кодовые комбинации чисел									Выходные коды суммы чисел					Децимальный эквивалент суммы
C ₀	A ₄	A ₃	A ₂	A ₁	B ₄	B ₃	B ₂	B ₁	C ₄	S ₄	S ₃	S ₂	S ₁	
1	0	1	1	0	0	0	0	1						

Содержание отчета

- 1.Номер, название и цель работы
- 2.Схема сумматора ИМЗс подписанными ЛУ и НГ, изображенного на рисунке 4
3. Таблица истинности сумматора ИМЗ и временные диаграммы
4. Выводы по работе

Контрольные вопросы

1. Назначение сумматоров, область применения
2. Принцип работы полусумматора
3. Принцип работы полного сумматора
- 4.

Практическая работа № 6

Тема: Исследование принципа работы триггеров

Цель работы: исследование функционирования цифровых RS,D,JK

Краткие теоретические сведения

Триггер – это электронное устройство, которое предназначается для записи и хранения информации. Обычно он имеет два выхода: прямой и инверсный; и некоторое количество входов, в зависимости от выполняемой задачи.

В исходном состоянии (т.е. сразу после включения питания и до подачи управляющих сигналов) RS-триггер устанавливается в произвольное, непредсказуемое состояние: либо единичное ($Q=1$), либо нулевое ($Q=0$). Если подать управляющий сигнал на вход R (1 для триггера на ИЛИ-НЕ или 0 для триггера на И-НЕ), то если до этого триггер был в нулевом состоянии, то в этом состоянии он и останется.

Считается, что триггер подтверждает свое состояние, хранит записанную в нем информацию. Если же до этого триггер был в единичном состоянии, то перейдет в нулевое состояние.

Аналогично RS-триггер работает и при подаче управляющего сигнала на вход S. Т.е. подача управляющего сигнала на вход R или S триггера либо подтверждает его состояние, либо изменяет на противоположное.

Одновременная подача активирующих сигналов (1 для триггера на ИЛИ-НЕ или 0 для триггера на И-НЕ) на оба управляющих входа RS-триггера запрещена, т.к. в этом случае триггер установится в неопределенное состояние.

Синхронный RS-триггер имеет дополнительный C-вход для подачи тактовых (синхронизирующих) импульсов (ГОИ).

При C=0 входные логические элементы блокированы, их состояние не зависит от сигналов на R- и S-входах и соответствует логической 1.

Для асинхронного RS-триггера такая комбинация сигналов на входах является нейтральной, поэтому триггер находится в режиме хранения записанной информации. При C=1 входные логические элементы открыты для восприятия управляющих сигналов и передачи их на входы асинхронного RS-триггера. Т.е. синхронный триггер при наличии разрешающего сигнала на C-входе будет работать по правилам, применимым для асинхронного триггера.

Порядок выполнения

1.Соберите синхронный RS триггер, приведенный на рисунке 6

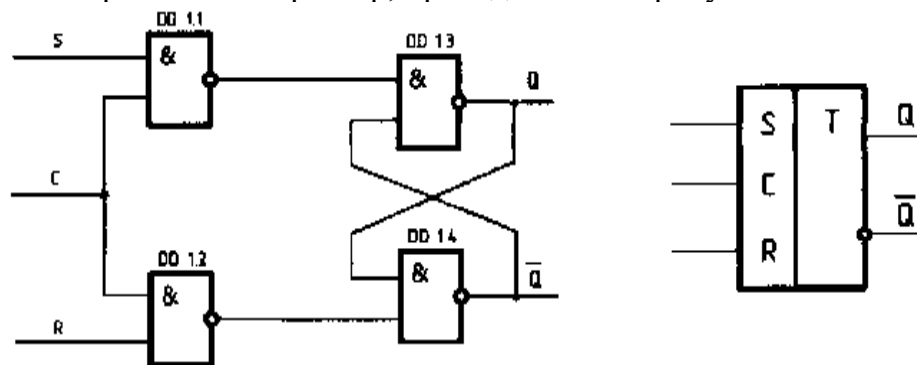


Рисунок 6- Синхронный RS триггер

2.Зарисуйте схему приведенного триггера с подключенными ЛУ и НГ и приведите таблицу истинности работы

S	R	Q	C	Режим работы
				хранение
				Запись 0
				Запись 1
			-	запрет

3.Соберите D триггер, приведенный на рисунке 7

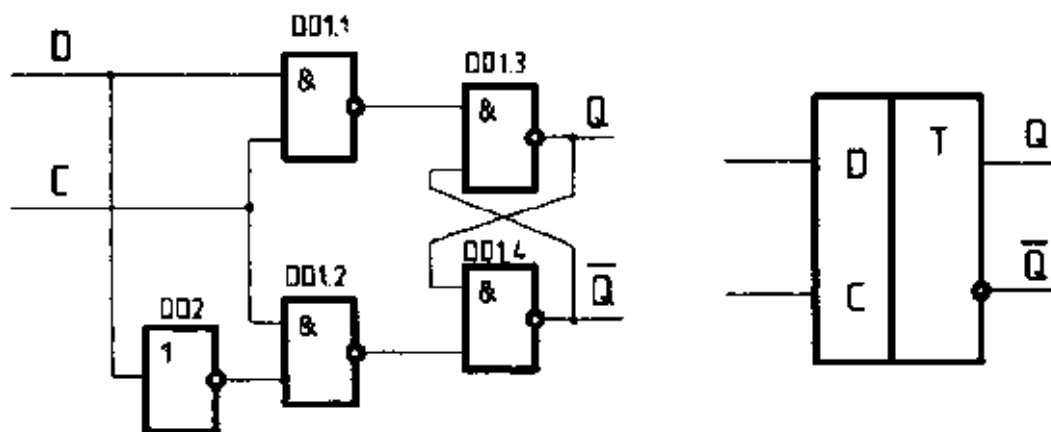


Рисунок 7-D триггер

4. Зарисуйте схему приведенного триггера с подключенными ЛУ и НГ
5. Привести таблицы истинности работы триггера

S	D	Q	Режим работы
			хранение
			Запись 0
			Запись 1

Содержание отчета

- 1.Номер, название и цель работы
- 2.Схема RS триггера с подписанными ЛУ и НГ, таблица истинности, изображенного на рисунке 6
- 3.Схема D триггера с подписанными ЛУ и НГ, таблица истинности, изображенного на рисунке 7
5. Выводы по работе

Контрольные вопросы

1. Классификация триггеров
2. Принцип работы и УГО JK - триггера

Практическая работа № 7

Тема: Исследование работы регистров

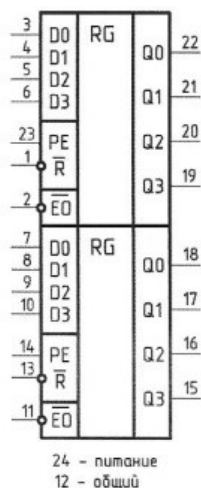
Цель работы: исследование принципа функционирования и построения цифровых регистров

Краткие теоретические сведения

Регистром называется цифровое устройство, предназначенное для приема, временного хранения, преобразования и выдачи n-разрядного двоичного слова. Регистр содержит регулярный набор однотипных триггеров, в каждом из которых хранится значение одного двоичного разряда машинного слова. Наиболее часто используют триггеры типов RS, JK и D. Регистры, предназначенные только для приема (записи), хранения и передачи информации, называются или фиксаторами. Регистры, в которых хранение данных совмещается с микрооперациями сдвига, называются сдвиговыми. Элементарные регистры строят на одноступенчатых триггерах, а сдвиговые — на двухступенчатых или D-триггерах с динамическим управлением. Логическая функция регистра обозначается буквами RG (register). Регистры обеспечивают хранение команд, адресов памяти, результатов операций, индексов и т.д.

Порядок выполнения

1. Исследование функционирования буферного регистра ИР34, показано на рисунке 1.



Режим работы	Входы				Выход
	$\bar{R}$	D	PE	$\bar{EO}$	Q^{n+1}
Выходы разомкнуты	X	X	X	1	R_{off}
Сброс регистра в нуль	0	X	X	0	0
Запись единицы с D-входа	1	1	1	0	1
Запись нуля с D-входа	1	0	1	0	0
Хранение информации	1	X	0	0	Q^n

Рисунок 1 – Буферный регистр К153ИР34

2. Исследуйте режимы сброса в нуль и отключения выходов регистра рис 2 и используя схему и таблицу истинности рис.1;

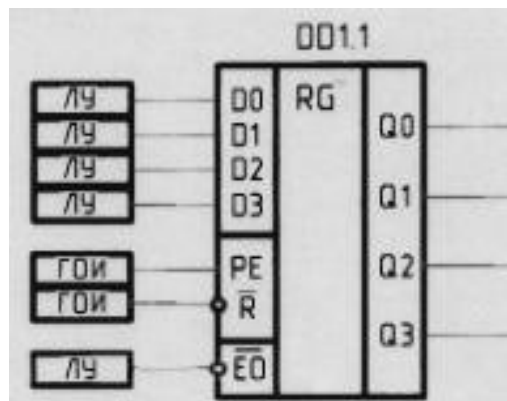


Рисунок 2 - Исследование четырехразрядного буферного регистра К1533ИР34

3. Запишите в регистр DD1.1 на рис.3 заданную преподавателем информацию и перепишите ее в регистр DD1.2;

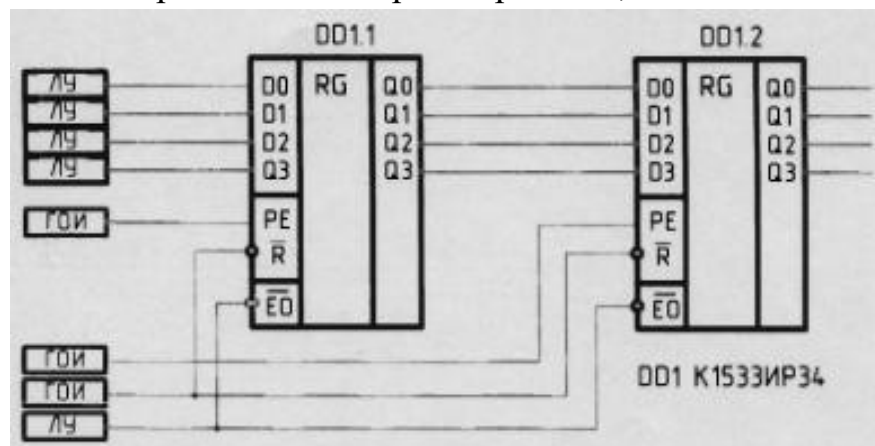


Рисунок 3 - Исследование передачи информации из регистра в регистр

Содержание отчета

- 1.Номер, название и цель работы
- 2.Схемачетырехразрядного буферного регистра К1533ИР34, с подписанными ЛУ и НГ, таблица истинности, изображенного на рисунке 1 и 2
- 3.Схема К153ИР34передачи информации из регистра в регистр, изображенного на рисунке 3
4. Выводы по работе

Контрольные вопросы

1. Классификация регистров
2. Временные диаграммы регистра

Практическая работа № 8

Тема: Исследование принципа работы суммирующего счетчика

Цель работы: исследование принципа построения и функционирования суммирующего счетчика

Краткие теоретические сведения

Счетчики - это устройства предназначенные для подсчета числа сигналов, поступающих на его вход и фиксация этого числа в виде кода хранящегося в триггерах.

Реверсивный счетчик может работать и на сложение и на вычитание. Суммирующий счетчик предназначен для выполнения счета в прямом направлении, т.е. с приходом очередного сигнала показатель счетчика увеличивается на 1. Вычитающий счетчик предназначен для счета в обратном направлении, т.е. с приходом нового сигнала счетчик уменьшается на 1.

Порядок выполнения

1. В работе используйте микросхемы, ИЕ2
2. Зарисуйте схему, показанную на рисунке 13. Проставьте на входах и выходах логических элементов номера выводов.

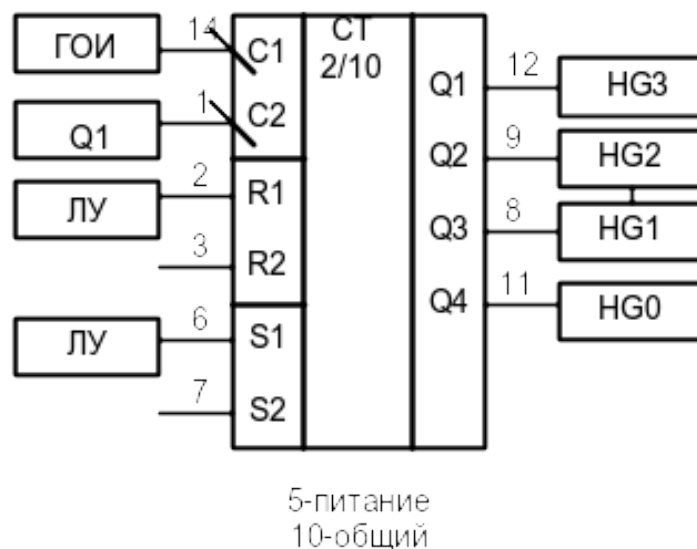


Рисунок 13- Счетчик ИЕ 2

- 2- R1 вход установки 0 (сброс);
- 5 – питание схемы;
- 6 – S1 вход установки 9;
- 8 – Q3 выход третьего разряда;
- 9 - Q2 выход второго разряда;
- 10 – общий;
- 11 – Q4 выход четвертого разряда;
- 12 – Q1 выход первого разряда;
- 14 – C1 вход счетный.

Примечание: Выход Q1 соединен со входом С2.

3. Приведите таблицу истинности работы микросхемы

Счет	Выходы				Счет	Выходы			
	Q4	Q3	Q2	Q1		Q4	Q3		
0					5				
1					6				
2					7				
3					8				
4					9				

4. Соберите схему, показанную на рисунке 13.И продемонстрируйте работу счетчика преподаателю, после заполнения таблицы истинности.

5. Зарисуйте временные диаграммы.

Содержание отчета

- 1.Номер, название и цель работы
- 2.Схема счетчика ИЕ2, с подписанными ЛУ и НГ, таблица истинности, изображенного на рисунке 13
3. Временные диаграммы
5. Выводы по работе

Контрольные вопросы

1. Классификация счетчиков
2. Принцип работы вычитающих счетчиков

Практическое занятие № 9

Тема: Построение делителя частоты с заданным коэффициентом деления

Цель: Получение навыков построения принципиальных схем цифровых устройств по заданным характеристикам

Ход работы

- 1 Разложить заданный коэффициент деления (задается преподавателем) на простые множители (2, 3 и 5) 2 Построить принципиальную схему делителя частоты с заданным коэффициентом деления на JK триггерах.
- 3 Построить принципиальную схему делителя частоты с заданным коэффициентом деления на базе четырехразрядных двоичных счетчиков.
- 4 Начертить временную диаграмму работы ДЧ (5 импульсов до и после импульса сброса)

Содержание и оформление отчета

Отчет оформляется в соответствии с СТО 0.5.02-2014 «Документация учебная»

Отчет должен содержать:

- тему и цель занятия;
- вариант задания;
- принципиальную схему делителя частоты на JK триггерах; - принципиальную схему делителя частоты на базе четырехразрядных двоичных счетчиков;
- временную диаграмму работы делителя частоты на базе четырехразрядных двоичных счетчиков;
- ответы на контрольные вопросы.

Контрольные вопросы

- 1 В каких электронных устройствах применяются делители частоты? Приведите пять примеров.
- 2 Какой коэффициент деления имеет делитель частоты генератора ГПЗ, настроенного на несущую частоту 420 Гц, если частота задающего генератора 1МГц?
- 3 Может ли один счетчик использоваться для получения нескольких различных коэффициентов деления?
- 4 Какой максимальный коэффициент деления можно получить с помощью двенадцатиразрядного двоичного счетчика?

Практическое занятие №10

Тема: «Принцип построения АЦП»

Цель:изучить принципы построения аналого-цифрового преобразователя.

Краткие теоретические сведения:

АЦП предназначены для преобразования аналогового сигнала в цифровой. Они характеризуются: точностью, скоростью, сложностью аппаратной реализации и т.д. Поэтому выбор АЦП требует определенных знаний. Схемы АЦП могут реализовываться на основе последовательной, параллельной либо последовательно-параллельной процедур, они могут содержать или не содержать ЦАП.

Например, если $U_{вх,i}$ не выходит за пределы диапазона от $5/2 \times h$, до $7/2 \times h$, где $h = U_{оп}/7$ - квант входного напряжения, то компараторы с 1-го по 3-й устанавливаются в состояние 1, а с 4-го по 7-й - в состояние 0.

В общем случае все компараторы, соответствующие уровням, расположенным ниже уровня $U_{вх,i}$, выдадут на своём выходе сигнал логической единицы, а остальные - нули. Шифратор выдаёт соответствующий цифровой код (табл. 4.1). В данном случае – это код 011.

Порядок выполнения работы:

Исходные данные

№ вар	$U_{оп}$	n-разряд АЦП
0	7	3
1	8	4
2	5	5
3	3	6
4	4,5	2
5	6	4
6	10	5
7	4	4
8	7	6
9	6	3
10	5,5	2

Задание

Выполнить расчет АЦП по примеру и построить согласно расчетам схему и временную диаграмму.

Пример расчета:

0 вариант

1. Расчет компараторов и резисторов в схеме.

Согласно исходным n - разряд = 3

$$2^n = \text{число резисторов}$$

$$2^n - 1 = \text{число компараторов}$$

$$2^3 = 8 \text{ резисторов}$$

$$2^3 - 1 = 7 \text{ компараторов}$$

Схема АЦП представлена на рисунке 4.2 (а)

2. Находим квант входного напряжения h

$$h = \frac{U_{оп}}{\text{число комп.}}$$

$$h = \frac{7}{7} = 1$$

3. Рассчитаем $U_{вх}$ для каждого резистора $(1/2) \times h$; $(3/2) \times h$ и т.д

4. Построить временную диаграмму согласно примеру на рис 4.2 (б)

Содержание отчета:

1. Назначение, принцип работы и УГО АЦП
2. Расчет и схема параллельного АЦП согласно расчету.
3. Временная диаграмма со всеми указанными на ней значениями согласно ваших расчетов.
4. Вывод: о разрядности параллельных АЦП

Практическое занятие №11

Тема: «Исследование работы ЦАП»

Цель работы: исследование принципа построения ЦАП

Краткие теоретические сведения

Цифро-аналоговые преобразователи (ЦАП) используются для преобразования цифрового кода в аналоговый сигнал, например, для управления в автоматических системах исполнительными органами (электродвигателями, электромагнитами и т.п.).

Наиболее простой ЦАП с весовыми резисторами (рис. 1) состоит из двух узлов: резистивной схемы (матрицы) на резисторах $R_1...R_4$ и суммирующего усилителя (ОУ ОУ с резистором обратной связи R_o) опорное напряжение $U_{оп}$ (5 В) подключается к резисторам матрицы переключателями D, C, B и A, управляемыми одноименными клавишами клавиатуры и имитирующими преобразуемый код. Выходное напряжение U_o измеряется мультиметром. Такой ЦАП относится к устройствам прямого преобразования.

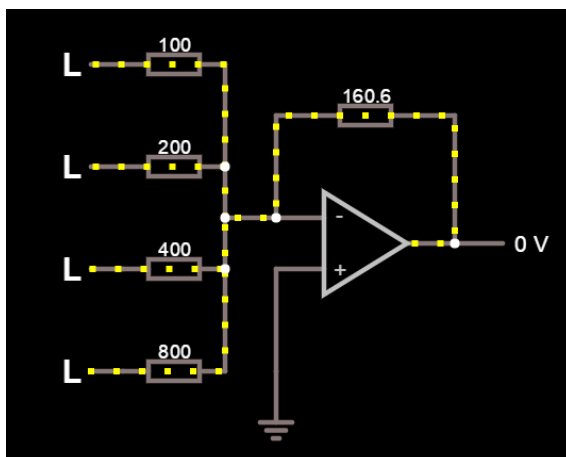


Рисунок 1 – ЦАП с весовыми резисторами

Если все переключатели замкнуты на "землю", как показано на рис. 1 то напряжение на входе и выходе ОУ равно 0 В. Предположим теперь, что переключатель А установлен в положение, соответствующее логической 1. Тогда на вход через резистор R1 подается напряжение 5 В.

Рассчитаем для этого случая коэффициент усиления напряжения по формуле:

$$K = R_o/R_1 = 160.6/100 = 1,606.$$

Отсюда получаем, что выходное напряжение

$$U_o = 1,606 \cdot 5 = 8,03 \text{ В (значение должно совпадать с показанием мультиметра на выходе схемы)}$$

Это значение соответствует двоичной комбинации 0001 на входе ЦАП.

Таким образом, при переходе к каждому очередному двоичному числу, имитируемому ключами, выходное напряжение ЦАП увеличивается на 0,2 В. Это обеспечивается за счет увеличения Коэффициента усиления напряжения ОУ при подключении различных по сопротивлению резисторов.

Схема ЦАП на рис. 1 имеет два недостатка: во-первых, в ней сопротивления резисторов изменяются в широких пределах, во-вторых, точность преобразования невысока из-за влияния конечного сопротивления транзисторных ключей в открытом и закрытом состояниях.

Для увеличения точности преобразования цифрового сигнала в аналоговое напряжение используют *схему ЦАП лестничного типа*.

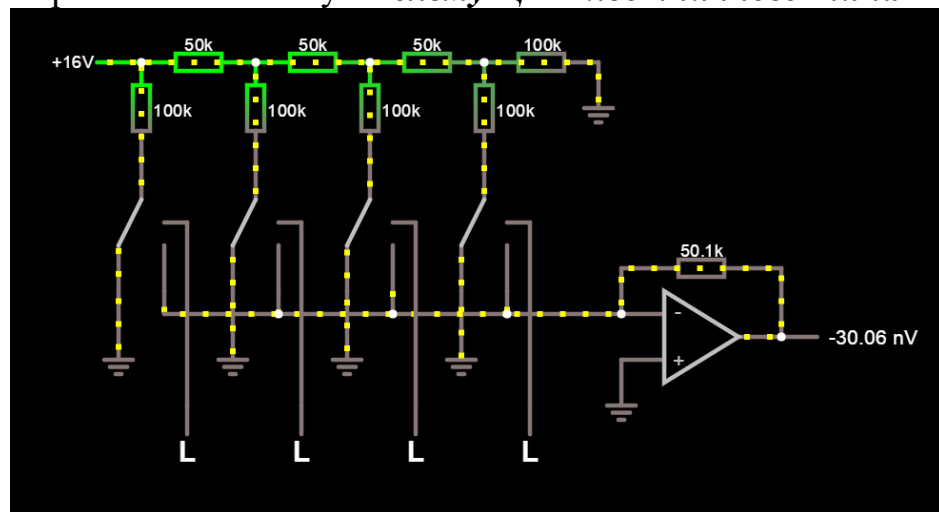


Схема ЦАП такого типа (рис. 2) состоит из резистивной матрицы R-2R, напоминающей лестницу, и суммирующего усилителя. Преимущество использования матрицы состоит в том, что в ней используются резисторы только двух номиналов. Сопротивление каждого из резисторов R1...R5 равно 50 кОм, а резисторов R6...R8, R_o — 50,1 кОм. Отметим, что сопротивления горизонтально расположенных резисторов "лестницы" ровно в 2 раза больше сопротивлений вертикальных.

Выходное напряжение ЦАП на рис. 2 определяется по формуле:

$$U_o = U_{on}R_o[S_12^{n-1} + S_22^{n-2} + \dots + S_i2^{n-i} + S_n]/R^{2n},$$

где S_i — значение цифрового сигнала (0 или 1) на i -м входе, n — число разрядов преобразования (для схемы на рис. 2 $n = 4$), R -сопротивление резистора матрицы R - $2R$ ($R = 50$ кОм для схемы на рис. 2).

Ход работы

Задание: Исследование ЦАП с весовыми резисторами

1. Открыть схему: *схема-аналого-цифровой-ЦАП с двоично-взвешенными резисторами.*
2. Проанализировать его работу
3. Рассчитать коэффициент усиления напряжения ОУ и выходное напряжение ЦАП в схеме на рис. 1 для случая, когда в положение, соответствующее логической единице, установлен переключатель (С), (С и В), (С,А,Д), на все входы. Результаты расчета проверьте на модели.
4. Получить выражение для расчета выходного напряжения ЦАП в общем виде и проверьте его на модели.
5. Сделать вывод по работе.

Задание: Исследование ЦАП лестничного типа

1. Открыть схему: *схема-аналого-цифровой-ЦАП лестничного типа.*
2. Проанализировать его работу
3. Подключите осциллограф к выходу схемы и получить лестничную осциллограмму.
4. С помощью формулы рассчитайте выходное напряжение ЦАП на рис. 2 для всех представленных в скобках комбинаций переключателей А, В, С, Д и сравните полученные результаты с результатами моделирования. (0100,0110,0111,1100,1111,1110,1010,0101).
5. Вывод

Содержание отчета:

Задание 1

1. Отметка о выполнении практической части
2. Схема
3. Принцип работы и структура
4. Расчеты
5. Вывод

Задание 2

1. Отметка о выполнении практической части
2. Схема
3. Принцип работы и структура
4. Осциллограмма

5. Расчет выходного напряжения
6. Вывод

Практическая работа № 12

Тема: «Формирование циклических кодов методом четности»

Цель: Научиться формировать циклический код с использованием кода Хемминга и осуществлять проверку и локализацию ошибок методом четности.

Ход работы:

1. Согласно своему варианту в исходных данных перевести заданное слово в циклический код, с помощью таблицы ASCII (приложение 1). Результат записать.
2. Определить количество контрольных бит в слове и место локализации разрядов где они стоят. Результат записать.
3. Вычислить контрольные биты с помощью таблицы вычислений и метода четности единиц. Таблицу и результат вычисленных контрольных бит записать.
4. Согласно заданию в исходных данных декодировать код и исправить ошибку в указанном разряде. Таблицу, расчеты и результат записать.

Исходные данные

№ вар.	Слово	Ошибк а разряд	№ вар.	Слово	Ошибка, разряд
1	Ум	7	15	Гы	20
2	ту	12	16	фА	3
3	Ау	21	17	Ля	6
4	РЕ	19	18	ХО	9

5	Он	10	19	ад	10
6	ми	11	20	Эй	12
7	ЮГ	3	21	СЕ	15
8	Уж	9	22	За	17
9	МЫ	14	23	еж	19
10	Де	7	24	ха	20
11	Ах	5	25	ДО	21
12	ам	11	26	щи	5
13	Во	12	27	Ша	7
14	яК	10	28	ЦЕ	3

Пример выполнения:

1. Так как один символ занимает в памяти 8 бит, то в одно кодируемое слово помещается ровно два ASCII символа.

h	a
01000100	00111101

2. Необходимо вставить контрольные биты. Они вставляются в строго определённых местах — это позиции с номерами, равными степеням двойки. В нашем случае (при длине информационного слова в 16 бит) это будут позиции 1, 2, 4, 8, 16. Соответственно, у нас получилось 5 контрольных бит (выделены красным цветом). Таким образом, длина всего сообщения увеличилась на 5 бит. До вычисления самих контрольных бит, мы присвоили им значение «0».

h	a
000010000100	001011101

3. Теперь необходимо вычислить значение каждого контрольного бита. Значение каждого контрольного бита зависит от значений информационных бит, но не от всех, а только от тех, которые этот контрольных бит контролирует. Для того, чтобы понять, за какие биты отвечает каждый контрольный бит необходимо понять очень простую закономерность: контрольный бит с номером N контролирует все последующие N бит через каждые N бит, начиная с позиции N.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	
0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	1	1	1	0	1	
x		x		x		x		x		x		x		x		x		x		x	1
	x	x			x	x			x	x			x	x			x	x			2
			x	x	x	x					x	x	x	x					x	x	4
							x	x	x	x	x	x	x	x							8
															x	x	x	x	x	x	16

Здесь знаком «X» обозначены те биты, которые контролирует контрольный бит, номер которого справа. То есть, к примеру, бит номер 12 контролируется битами с номерами 4 и 8. Ясно, что чтобы

узнать какими битами контролируется бит с номером N надо просто разложить N по степеням двойки.

4. Чтобы вычислить значение каждого контрольного бита берём каждый контрольный бит и смотрим сколько среди контролируемых им битов единиц, получаем некоторое целое число и, если оно чётное, то ставим ноль, в противном случае ставим единицу.

h	a
100110000100	001011101

5. Декодирование и исправление ошибок

Теперь, допустим, мы получили закодированное первой частью алгоритма сообщение, но оно пришло к нас с ошибкой. К примеру мы получили такое (11-ый бит передан неправильно):

h	a
100110000110	001011101

Вся вторая часть алгоритма заключается в том, что необходимо заново вычислить все контрольные биты (так же как и в первой части) и сравнить их с контрольными битами, которые мы получили. Так, посчитав контрольные биты с неправильным 11-ым битом мы получим:

h	a
010110010110	001011101

Как мы видим, контрольные биты под номерами: 1, 2, 8 не совпадают с такими же контрольными битами, которые мы получили. Теперь просто сложив номера позиций неправильных контрольных бит ($1 + 2 + 8 = 11$) мы получаем позицию ошибочного бита. Теперь просто инвертировав его и отбросив контрольные биты, мы получим исходное сообщение в первоизданном виде.

Содержание отчета:

1. Исходные данные и вариант
2. Решение своего примера строго по примеру (включая таблицу и цветные контрольные биты).
3. Вывод о проделанной работе.

Таблица кодов ASCII по России

А	10000000	Р	10010000	а	10100000	р	11100000
Б	10000001	С	10010001	б	10010001	с	11100001
В	10000010	Т	10010010	в	10010010	т	11100010
Г	10000011	У	10010011	г	10010011	у	11100011
Д	10000100	Ф	10010100	д	10010100	ф	11100100
Е	10000101	Х	10010101	е	10010101	х	11100101
Ж	10000110	Ц	10010110	ж	10010110	ц	11100110
З	10000111	Ч	10010111	з	10010111	ч	11100111
И	10001000	Ш	10011000	и	10011000	ш	11101000
Й	10001001	Щ	10011001	й	10011001	щ	11101001
К	10001010	Ъ	10011010	к	10011010	ъ	11101010
Л	10001011	Ы	10011011	л	10011011	ы	11101011
М	10001100	Ь	10011100	м	10011100	ь	11101100
Н	10001101	Э	10011101	н	10011101	э	11101101
О	10001110	Ю	10011110	о	10011110	ю	11101110
П	10001111	Я	10011111	п	10011111	я	11101111

Практическая работа № 13

Тема: « Синтез цифрового автомата в форме автомата Мили»

Цель: Научится синтезировать работу цифрового автомата по форме автомата Мили, строить логические схемы автомата Мили, чертить графы.

Ход работы:

1. Согласно исходным данным варианта составить таблицу переходов и выходов.
2. Построить граф по исходным данным варианта.
3. Произвести кодирование состояний устройства.
4. Составить структурную схему цифрового автомата по своим данным.

Исходные данные

Вариант 1

Вх.слово	X1	X1	X2	X1	X2	X1	X2	X2	X2	X1	X2	X1	
Сост.авт	A0	A2	A3	A4	A1	A3	A0	A2	A0	A1	A4	A4	A2
Вых.слово	Y1	Y2	Y1	Y1	Y2	Y2	Y2	Y1	Y3	Y1	Y2	Y3	

Вариант 2

Вх.слово	X2	X1	X2	X1	X2	X1	X1	X2	X1	X1	X2	X1	
Сост.авт	A0	A3	A3	A1	A1	A2	A2	A2	A0	A1	A2	A3	A1
Вых.слово	Y2	Y3	Y1	Y3	Y4	Y4	Y1	Y2	Y3	Y1	Y2	Y1	

Вариант 3

Вх.слово	X1	X1	X2	X1	X2	X1	X2	X2	X2	X1	X2	X1	
Сост.авт	A0	A2	A0	A1	A2	A3	A1	A4	A3	A4	A1	A4	A0
Вых.слово	Y2	Y1	Y3	Y4	Y1	Y2	Y4	Y2	Y3	Y4	Y1	Y3	

Вариант 4

Вх.слово	X1	X1	X2	X1	X2	X2	X1	X2	X2	X1	X2	X1	
Сост.авт	A0	A3	A4	A2	A2	A0	A1	A2	A3	A4	A1	A0	A3
Вых.слово	Y4	Y2	Y1	Y2	Y1	Y2	Y4	Y1	Y3	Y1	Y2	Y3	

Вариант 5

Вх.слово	X1	X1	X2	X1	X2	X1	X2	X2	X2	X1	X2	X1	
Сост.авт	A0	A2	A4	A4	A1	A1	A0	A2	A3	A3	A0	A2	A2
Вых.слово	Y1	Y2	Y3	Y4	Y2	Y1	Y4	Y1	Y1	Y2	Y2	Y3	

Вариант 6

Вх.слово	X1	X1	X2	X1	X2	X1	X2	X2	X2	X1	X2	X1	
Сост.авт	A0	A3	A4	A2	A1	A4	A0	A3	A3	A1	A0	A2	A0
Вых.слов о	Y2	Y2	Y3	Y1	Y2	Y4	Y4	Y1	Y2	Y3	Y2	Y3	

Вариант 7

Вх.слово	X1	X2	X2	X1	X2	X1	X2	X2	X1	X1	X2	X1	
Сост.авт	A0	A0	A4	A2	A1	A3	A5	A2	A5	A1	A3	A4	A0
Вых.слов о	Y2	Y3	Y4	Y1	Y5	Y1	Y4	Y2	Y1	Y3	Y2	Y5	

Вариант 8

Вх.слово	X1	X2	X2	X1	X2	X1	X2	X2	X1	X1	X2	X1	
Сост.авт	A0	A4	A0	A1	A1	A5	A2	A1	A2	A1	A5	A4	A0
Вых.слов о	Y2	Y5	Y2	Y1	Y3	Y4	Y4	Y5	Y2	Y3	Y1	Y3	

Вариант 9

Вх.слово	X1	X1	X2	X1	X2	X1	X2	X2	X2	X1	X2	X1	
Сост.авт	A0	A1	A4	A4	A2	A2	A0	A3	A1	A4	A4	A2	A2
Вых.слов о	Y2	Y2	Y3	Y4	Y1	Y2	Y4	Y1	Y4	Y3	Y2	Y2	

Вариант 10

Вх.слово	X1	X1	X2	X1	X2	X1	X2	X2	X2	X1	X2	X1	
Сост.авт	A0	A1	A4	A4	A2	A2	A0	A3	A1	A4	A4	A2	A2
Вых.слов о	Y2	Y2	Y3	Y4	Y1	Y2	Y4	Y1	Y4	Y3	Y2	Y2	

Содержание отчета

1. Таблицу переходов и выходов.
2. Граф
3. Таблица кодировок состояний устройства
4. Структурная схема цифрового автомата
5. Вывод

